



日 本 国 特 許 庁
JAPAN PATENT OFFICE

Masuko et al
Filed 3/3/04
Q 80213
2 of 2

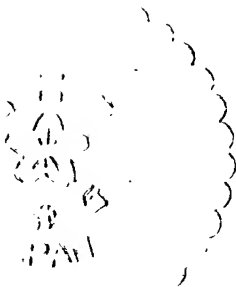
別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出 願 年 月 日
Date of Application: 2 0 0 3 年 7 月 1 0 日

出 願 番 号
Application Number: 特 願 2 0 0 3 - 2 7 2 7 9 6
[ST. 10/C]: [J P 2 0 0 3 - 2 7 2 7 9 6]

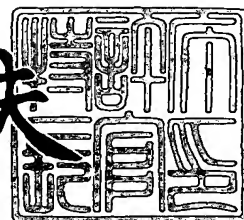
出 願 人
Applicant(s): N E C エレクトロニクス株式会社



2 0 0 4 年 1 月 2 6 日

特許庁長官
Commissioner,
Japan Patent Office

今 井 康 夫



出証番号 出証特 2 0 0 4 - 3 0 0 2 5 3 5



【書類名】 特許願
【整理番号】 74120103
【提出日】 平成15年 7月10日
【あて先】 特許庁長官殿
【国際特許分類】 H01L 29/78
H01L 21/265

【発明者】
【住所又は居所】 神奈川県川崎市中原区下沼部 1 7 5 3 番地 N E C エレクトロニクス株式会社内
【氏名】 益岡 有里

【発明者】
【住所又は居所】 神奈川県川崎市中原区下沼部 1 7 5 3 番地 N E C エレクトロニクス株式会社内
【氏名】 君塚 直彦

【特許出願人】
【識別番号】 302062931
【氏名又は名称】 N E C エレクトロニクス株式会社

【代理人】
【識別番号】 100114672
【弁理士】
【氏名又は名称】 宮本 恵司
【電話番号】 042-730-6520

【先の出願に基づく優先権主張】
【出願番号】 特願2003- 58099
【出願日】 平成15年 3月 5日

【手数料の表示】
【予納台帳番号】 093404
【納付金額】 21,000円

【提出物件の目録】
【物件名】 特許請求の範囲 1
【物件名】 明細書 1
【物件名】 図面 1
【物件名】 要約書 1
【包括委任状番号】 0217061

【書類名】 特許請求の範囲**【請求項 1】**

第 1 の P 型不純物を基板表面近傍の浅い位置に注入して形成した第 1 不純物拡散領域と、前記第 1 の P 型不純物よりも拡散係数の小さい第 2 の P 型不純物を前記第 1 不純物拡散領域の底部に該第 1 不純物拡散領域より低濃度に注入して形成した第 2 不純物拡散領域とにより構成されるソース及びドレイン領域を備え、

前記第 2 不純物拡散領域は、前記第 2 の P 型不純物の注入により生じる欠陥に基づくリークを抑制可能な注入条件で形成されたものであることを特徴とする半導体装置。

【請求項 2】

P-MOS トランジスタと N-MOS トランジスタとを含む半導体装置において、

前記 N-MOS トランジスタに、N 型不純物を注入して形成したソース及びドレイン領域を備え、

前記 P-MOS トランジスタに、第 1 の P 型不純物としての B 又は BF₂ を基板表面近傍の浅い位置に注入して形成した第 1 不純物拡散領域と、第 2 の P 型不純物としての In を前記第 1 不純物拡散領域の底部に該第 1 不純物拡散領域より低濃度に注入して形成した第 2 不純物拡散領域とにより構成されるソース及びドレイン領域を備え、

前記 N 型不純物、前記第 1 の P 型不純物及び前記第 2 の P 型不純物は、不純物注入後のアニール処理により一括して活性化され、

前記第 2 不純物拡散領域は、前記第 2 の P 型不純物の注入により生じる欠陥に基づくリークを抑制可能な注入条件で形成されたものであることを特徴とする半導体装置。

【請求項 3】

前記第 2 不純物拡散領域は、注入エネルギーを略 80 乃至 180 KeV の範囲とする注入条件で形成されたものであることを特徴とする請求項 1 又は 2 に記載。

【請求項 4】

前記第 2 不純物拡散領域は、注入量を略 5E12 乃至 1.5E13 cm⁻² の範囲とする注入条件で形成されたものであることを特徴とする請求項 1 乃至 3 のいずれかーに記載の半導体装置。

【請求項 5】

第 1 の P 型不純物を基板表面近傍の浅い位置に注入して第 1 不純物拡散領域を形成する工程と、前記第 1 の P 型不純物よりも拡散係数の小さい第 2 の P 型不純物を前記第 1 不純物拡散領域の底部に該第 1 不純物拡散領域より低濃度に注入して第 2 不純物拡散領域を形成する工程と、を少なくとも備え、

前記第 1 不純物拡散領域と前記第 2 不純物拡散領域とによりソース及びドレイン領域を形成し、前記第 2 不純物拡散領域を、前記第 2 の P 型不純物の注入により生じる欠陥に基づくリークを抑制可能な注入条件で形成することを特徴とする半導体装置の製造方法。

【請求項 6】

P-MOS トランジスタと N-MOS トランジスタとを含む半導体装置の製造方法であって、

前記 N-MOS トランジスタ形成領域に N 型不純物を注入する工程と、

第 1 の P 型不純物として B 又は BF₂ を用い、該第 1 の P 型不純物を前記 P-MOS トランジスタ形成領域の基板表面近傍の浅い位置に注入して第 1 不純物拡散領域を形成する工程と、

第 2 の P 型不純物として In を用い、該第 2 の P 型不純物を前記 P-MOS トランジスタ形成領域の前記第 1 不純物拡散領域の底部に該第 1 不純物拡散領域より低濃度に注入して第 2 不純物拡散領域を形成する工程と、

前記 N 型不純物、前記第 1 の P 型不純物及び前記第 2 の P 型不純物を活性化するアニール工程と、を少なくとも備え、

前記第 1 不純物拡散領域と前記第 2 不純物拡散領域とによりソース及びドレイン領域を形成し、前記第 2 不純物拡散領域を、前記第 2 の P 型不純物の注入により生じる欠陥に基づくリークを抑制可能な注入条件で形成することを特徴とする半導体装置の製造方法。

【請求項 7】

前記第 1 の P 型不純物の注入工程の前に、前記第 2 の P 型不純物の注入工程を行うことを特徴とする請求項 6 記載の半導体装置の製造方法。

【請求項 8】

前記 N 型不純物の注入工程の前に、前記第 1 の P 型不純物の注入工程及び前記第 2 の P 型不純物の注入工程を行うことを特徴とする請求項 6 又は 7 に記載の半導体装置の製造方法。

【請求項 9】

前記第 2 の P 型不純物の注入を、注入エネルギーを略 80 乃至 180 KeV の範囲とした注入条件で行うことを特徴とする請求項 5 乃至 8 のいずれかに記載の半導体装置の製造方法。

【請求項 10】

前記第 2 の P 型不純物の注入を、注入量を略 5×10^{12} 乃至 $1.5 \times 10^{13} \text{ cm}^{-2}$ の範囲とした注入条件で行うことを特徴とする請求項 5 乃至 9 のいずれかに記載の半導体装置の製造方法。

【書類名】 明細書

【発明の名称】 半導体装置及びその製造方法

【技術分野】

【0001】

本発明は、半導体装置及びその製造方法に関し、特に、基板表面近傍の浅い位置に不純物拡散層が形成される P-MOS トランジスタを含む半導体装置及びその製造方法に関する。

【背景技術】

【0002】

半導体装置の微細化に伴って、ドレイン拡散層まわりの空乏層のチャネル方向への広がりによって生じる、いわゆる短チャネル効果によりトランジスタ・オフ時のリーク電流が増加するという問題が生じている。この短チャネル効果を抑制するために、従来よりゲートとソース及びドレイン間に不純物濃度の低いオフセットゲート層を形成し不純物濃度に勾配を設ける LDD (Lightly Doped Drain) 構造が広く用いられており、また、更なる半導体装置の微細化に対応するために、ソース及びドレイン領域（以下、ソース／ドレイン領域と記す。）を基板表面近傍に浅く形成する方法が用いられている。

【0003】

ここで、LDD 構造を有する一般的な MOS トランジスタの製造方法について図 10 を参照して説明する。まず、図 10 (a) に示すように、半導体基板 1 上に LOCOS 法やトレンチ法等を用いて MOS トランジスタを形成するフィールド領域を区画する素子分離絶縁膜 2 を形成する。次に、熱酸化法等によりシリコン酸化膜からなるゲート絶縁膜 8 を形成した後、減圧 CVD 法等を用いてポリシリコンを堆積し、公知のフォトリソグラフィ技術及びドライエッチング技術を用いてゲート電極 9 を形成する。

【0004】

次に、図 10 (b) に示すように、ゲート電極 9 をマスクとしてイオン注入法により、N-MOS トランジスタの場合は低濃度のリン (P) 又は砒素 (As) 等の N 型不純物を、P-MOS トランジスタの場合は低濃度の硼素 (B) 又は BF₂ 等の P 型不純物を注入し、LDD 領域 7 を形成する。次に、図 10 (c) に示すように、減圧 CVD 法等により基板全面にシリコン酸化膜を堆積し、異方性ドライエッチングによりシリコン酸化膜をエッチバックして、ゲート電極 9 の側壁にサイドウォール 10 を形成する。そして、図 10 (d) に示すように、ゲート電極 9 及びサイドウォール 10 をマスクとして、N-MOS トランジスタの場合は高濃度の P 又は As 等の N 型不純物を、P-MOS トランジスタの場合は高濃度の B 又は BF₂ 等の P 型不純物を注入し、ソース／ドレイン領域 4 を形成する。これにより、サイドウォール 10 直下ではオフセットゲート層となる LDD 領域 7 が、その外側には高濃度のソース／ドレイン領域 4 が自己整合的に形成される。

【0005】

このような MOS トランジスタにおいて、ソース／ドレイン領域 4 を基板表面近傍に浅く形成する場合、不純物拡散層のシート抵抗が増加することから不純物拡散層の一部にシリコンと金属の化合物であるシリサイド膜を形成して抵抗を低減する方法が用いられる。しかしながら、シリサイド膜はシリコンと金属の反応によって形成されるものであるためシリサイド膜の厚さを正確に制御するのは困難であり、シリサイド膜が厚く成長してしまうと基板との間にリークが生じるという問題がある。また、浅い接合ではソース／ドレイン領域 4 の不純物濃度の深さ方向の勾配が急峻となるために接合部でリークが生じるという問題もある。

【0006】

この問題に対して、特開平 7-131006 号公報には、浅い接合を有する MOS 型トランジスタにおいて、短チャネル効果を抑制しつつ、ソース／ドレイン領域底部と基板間の接合リークを低減する構造及び方法が開示されている。具体的には、図 11 (a) に示すように、P 型半導体基板 1 にゲート電極 9 をマスクとして As 等の N 型不純物を注入し N 型不純物層 12 を形成し、続いて、図 11 (b) に示すように、同じくゲート電極 9 を

マスクとしてP等のN型不純物を注入しN型不純物層12の底部にのみ低濃度N型不純物層13を形成した後、短時間の熱処理を加えることによって図11(c)に示すように、底部のイオン濃度勾配を緩和したN型ソース／ドレイン領域4を形成する方法が記載されている。

【特許文献1】特開平7-131006号公報(第3-5頁、第2図)

【発明の開示】

【発明が解決しようとする課題】

【0007】

一般に基板に注入する不純物としては高濃度に注入できること(すなわち、固溶限界が高いこと)が重要であり、この観点から、N型不純物としてはPやAsが、P型不純物としてBやBF₂が用いられるが、P型不純物として用いられるBは拡散が早い(すなわち拡散係数が大きい)という欠点がある。従って、上記公報に記載されたN-MOSトランジスタの製造方法をP-MOSトランジスタに適用することは困難である。

【0008】

すなわち、B又はBF₂を基板表面に浅く注入しても不純物活性化の熱処理でチャネル方向に拡散してしまい短チャネル効果を十分に抑制することができない(第1の問題)。また、B又はBF₂を深い位置に注入すると、P型不純物が素子分離領域まで拡散してリークが生じ分離特性を劣化させてしまう(第2の問題)。逆に、Bの拡散によるリークを抑制するために接合を浅くすると、シリサイド膜を不純物拡散層で十分に覆うことができず、上述したシリサイド膜に起因するリークが生じてしまう(第3の問題)。また、Bの拡散を抑制するために熱処理温度を低くしたり熱処理時間を短くすると、不純物注入時にできた欠陥が十分に回復されず、欠陥に起因した接合リークが生じてしまう(第4の問題)。

【0009】

更に、P型不純物としてBF₂を用いた場合、フッ素の存在に起因してゲート電極中に導入されたBがゲート絶縁膜を突き抜けてチャネル領域に拡散することにより、トランジスタの特性が変動し、ゲート絶縁膜の信頼性が劣化するという問題も生じる(第5の問題)。特に半導体装置の微細化に伴ってゲート電極やゲート絶縁膜は薄膜化する傾向にあり、ソース／ドレイン領域底部の深い位置にBを注入する工程を追加するとこの問題は一層顕著となる。

【0010】

本発明は、上記問題点に鑑みてなされたものであって、その主たる目的は、ソース／ドレイン領域が基板表面近傍の浅い位置に形成される構造において、短チャネル効果、シリサイド膜や欠陥に起因するリーク、トランジスタ特性の変動を抑制し、トランジスタの分離特性、ゲート絶縁膜の信頼性を向上させることができるP-MOSトランジスタを含む半導体装置及びその製造方法を提供することにある。

【課題を解決するための手段】

【0011】

上記目的を達成するため、本発明の半導体装置は、第1のP型不純物を基板表面近傍の浅い位置に注入して形成した第1不純物拡散領域と、前記第1のP型不純物よりも拡散係数の小さい第2のP型不純物を前記第1不純物拡散領域の底部に該第1不純物拡散領域より低濃度に注入して形成した第2不純物拡散領域とにより構成されるソース及びドレイン領域を備え、前記第2不純物拡散領域は、前記第2のP型不純物の注入により生じる欠陥に基づくリークを抑制可能な注入条件で形成されたものである。

【0012】

また、本発明の半導体装置は、P-MOSトランジスタとN-MOSトランジスタとを含む半導体装置において、前記N-MOSトランジスタに、N型不純物を注入して形成したソース及びドレイン領域を備え、前記P-MOSトランジスタに、第1のP型不純物としてのB又はBF₂を基板表面近傍の浅い位置に注入して形成した第1不純物拡散領域と、第2のP型不純物としてのInを前記第1不純物拡散領域の底部に該第1不純物拡散領

域より低濃度に注入して形成した第2不純物拡散領域とにより構成されるソース及びドレイン領域を備え、前記N型不純物、前記第1のP型不純物及び前記第2のP型不純物は、不純物注入後のアニール処理により一括して活性化され、前記第2不純物拡散領域は、前記第2のP型不純物の注入により生じる欠陥に基づくリークを抑制可能な注入条件で形成されたものである。

【0013】

本発明においては、前記第2不純物拡散領域は、注入エネルギーを略80乃至180 KeVの範囲、又は、注入量を略 5×10^{12} 乃至 $1.5 \times 10^{13} \text{ cm}^{-2}$ の範囲とする注入条件で形成されたものとすることができる。

【0014】

また、本発明の製造方法は、第1のP型不純物を基板表面近傍の浅い位置に注入して第1不純物拡散領域を形成する工程と、前記第1のP型不純物よりも拡散係数の小さい第2のP型不純物を前記第1不純物拡散領域の底部に該第1不純物拡散領域より低濃度に注入して第2不純物拡散領域を形成する工程と、を少なくとも備え、前記第1不純物拡散領域と前記第2不純物拡散領域とによりソース及びドレイン領域を形成し、前記第2不純物拡散領域を、前記第2のP型不純物の注入により生じる欠陥に基づくリークを抑制可能な注入条件で形成するものである。

【0015】

また、本発明の製造方法は、P-MOSトランジスタとN-MOSトランジスタとを含む半導体装置の製造方法であって、前記N-MOSトランジスタ形成領域にN型不純物を注入する工程と、第1のP型不純物としてB又はBF₂を用い、該第1のP型不純物を前記P-MOSトランジスタ形成領域の基板表面近傍の浅い位置に注入して第1不純物拡散領域を形成する工程と、第2のP型不純物としてInを用い、該第2のP型不純物を前記P-MOSトランジスタ形成領域の前記第1不純物拡散領域の底部に該第1不純物拡散領域より低濃度に注入して第2不純物拡散領域を形成する工程と、前記N型不純物、前記第1のP型不純物及び前記第2のP型不純物を活性化するアニール工程と、を少なくとも備え、前記第1不純物拡散領域と前記第2不純物拡散領域とによりソース及びドレイン領域を形成し、前記第2不純物拡散領域を、前記第2のP型不純物の注入により生じる欠陥に基づくリークを抑制可能な注入条件で形成するものであり、前記第1のP型不純物の注入工程の前に、前記第2のP型不純物の注入工程を行う構成、又は、前記N型不純物の注入工程の前に、前記第1のP型不純物の注入工程及び前記第2のP型不純物の注入工程を行う構成とすることができる。

【0016】

このように、本発明は上記構成により、B又はBF₂の注入により基板表面近傍の浅い位置に形成された第1不純物拡散領域の底部に、Inの注入により形成された第2不純物拡散領域が形成されているため、ソース及びドレイン領域の不純物濃度分布を正確に制御することができ、短チャネル効果を抑制し、シリサイド膜に起因するリークを抑制することができる。また、第2不純物拡散領域のInは拡散係数が小さく、不純物活性化アニールによって意図しない領域に広がることのないため、トランジスタの分離特性を高めることができ、また欠陥に起因するリークを抑制することができる。更に、第2不純物拡散領域の形成に際して、B又はBF₂に代えてInを用い、かつ、注入エネルギーや注入量を所定の値に設定して注入を行っているため、In注入により生じる欠陥に起因したリークを抑制することができると共に、Inのゲート絶縁膜の突き抜けを抑制してゲート絶縁膜の信頼性を高め、トランジスタ特性の変動を抑制することができる。

【発明の効果】

【0017】

以上説明したように、本発明の半導体装置及びその製造方法によれば、下記記載の効果を奏する。

【0018】

本発明の第1の効果は、浅い接合を有する半導体装置においても、短チャネル効果を抑

制しつつ、シリサイド膜に起因する接合リーク、欠陥に起因する接合リーク、分離特性の劣化、ゲート絶縁膜の信頼性劣化やトランジスタ特性の変動を抑制することができるということである。

【0019】

その理由は、P-MOSトランジスタのソース／ドレイン領域を、B又はBF₂を注入して形成した第1不純物拡散領域と、I_nを注入して形成した第2不純物拡散領域とを用いて形成することにより、ソース／ドレイン領域の形状を制御することができ、それにより、Bの拡散による短チャネル効果を抑制し、シリサイド膜に起因する接合リークを抑制することができるからである。また、I_nを用いて第2不純物拡散領域を形成することにより、不純物活性化の熱処理を行ってもI_nが拡散により広がりすぎることがなく、分離特性を良好に保つことができ、また、熱処理により不純物注入による欠陥を回復させることができるため、欠陥に起因する接合リークを低減することができるからである。更に、B又はBF₂を用いて第2不純物拡散領域を形成する場合に比べて、ゲート絶縁膜にBが拡散することによるゲート絶縁膜の信頼性劣化やトランジスタ特性の変動を抑制することができるからである。

【0020】

また、本発明の第2の効果はI_n注入による欠陥の発生を抑制し、また、I_nがゲート絶縁膜を突き抜けることによるゲート絶縁膜の信頼性劣化やトランジスタ特性の変動を抑制することができるということである。

【0021】

その理由は、I_nの注入条件を第2不純物拡散領域の形成位置や濃度のみならず、接合リークの注入エネルギー依存性や注入量依存性を測定して得られた結果や注入エネルギーとゲート電極の厚さとの関係に基づいて設定しているため、I_n注入による欠陥の発生やゲート絶縁膜への影響を抑制することができるからである。

【発明を実施するための最良の形態】

【0022】

従来技術で説明したように、半導体装置の微細化に伴う短チャネル効果を抑制するため、ソース／ドレイン領域を基板表面近傍に浅く形成する方法が用いられるが、浅い接合では不純物濃度が接合部近傍で急峻になるために接合リークが増加し、また、拡散層のシート抵抗を低減するために設けるシリサイド膜に起因するリークが生じるという問題がある。そこで、特開平7-131006号公報ではソース／ドレイン領域底部に低濃度の不純物拡散層を形成する技術を開示しているが、P-MOSトランジスタの場合はP型不純物として固溶限界の高いBやBF₂が用いられており、Bの拡散係数が大きいため、上記公報記載の方法をP-MOSトランジスタに適用するのは困難である。

【0023】

この問題はP型不純物としてBやBF₂を用いることにより生じるものであり、拡散係数の小さい不純物を選択する方法も考えられる。例えば、P型不純物としてBやBF₂の他にI_nが知られており、I_nを用いて不純物拡散層を形成する方法も提案されているが、BやBF₂に比べてI_nは固溶限界が低く高濃度の注入には適していない。また、I_nのような重イオンはチャネリングを起こしやすく浅い位置に打ち込むことが困難である。更に、I_nは重イオンであるために欠陥が生じやすく、注入条件を適切に設定しないと欠陥に起因するリークが増加したり、ゲート中に注入されたI_nがゲート絶縁膜に到達すると、ゲート絶縁膜の信頼性が低下し、トランジスタ特性の変動を招いてしまう。

【0024】

そこで、本発明では、固溶限界が高く高濃度の注入が容易であるというBやBF₂の特徴と、拡散係数が小さくチャネリングによって深い位置に注入しやすいというI_nの特徴とを生かし、基板表面近傍の浅い位置の第1不純物拡散領域はB又はBF₂を用いて形成し、第1不純物拡散領域底部（深さ方向の不純物濃度分布の裾野部分）の第2不純物拡散領域はI_nを用いて形成し、これらの2つの注入によって浅い位置は高濃度に、深い位置は濃度勾配がなだらかで不純物活性化アニールによる濃度分布の変動が抑制されたソース

／ドレイン領域を形成することにより、短チャネル効果の抑制、分離特性の向上、シリサイド膜や欠陥に起因するリークの低減を図り、また、 I_n の注入条件を適切に設定することにより、 I_n 注入による欠陥に起因したリークや I_n の突き抜けによるゲート絶縁膜の信頼性低下、トランジスタ特性の変動も抑制している。

【0025】

なお、P型不純物として I_n は公知でありP型不純物拡散層の形成にBや I_n を用いる例は公報（例えば、特開平10-50988号公報等）に記載されているが、 I_n は結晶中に欠陥を生じさせやすく、本発明のように注入条件を規定して初めて上記効果を得ることができる。この I_n 注入条件は本願発明者の実験及び計算によって明らかにされたものであり、 I_n 注入による欠陥に起因するリークやゲート電極の厚さ等を考慮して注入条件を設定するという着想は本願発明者の知見によって得られたものである。

【実施例】

【0026】

上記した本発明の実施の形態についてさらに詳細に説明すべく、本発明の一実施例について、図1乃至図9を参照して説明する。図1は、本発明の一実施例に係る半導体装置の構造を示す断面図であり、図2乃至図4は、その製造方法を示す工程断面図である。また、図5及び図6は、本実施例の半導体装置の製造方法における I_n 注入条件を設定するための実験結果を示す図であり、図7及び図8は、本発明の構造と従来構造における不純物濃度分布の変化を比較するための図である。また、図9は、スパイクアニールを説明するための図である。

【0027】

まず、本実施例の半導体装置の構造について、図1(a)を参照して説明する。本実施例の半導体装置は、素子分離絶縁膜2によって分離されたP-MOS形成領域に、ゲート電極9及びサイドウォール10をマスクとしてB又は BF_2 を用いて形成された第1不純物拡散領域5と、第1不純物拡散領域5底部に I_n を用いて形成された第2不純物拡散領域6とから構成されるソース／ドレイン領域4を有するP-MOSトランジスタを備えるものである。

【0028】

この第2不純物拡散領域6は、第1不純物拡散領域5よりも不純物濃度が低く、かつ、第1不純物拡散領域5底部の不純物濃度の勾配の大きい領域に形成され、第1不純物拡散領域5と第2不純物拡散領域6とで、図1(b)に示すように、深さ方向の不純物の濃度勾配がなだらか分布を呈するソース／ドレイン領域4（実線）が形成されている。なお、第1不純物拡散領域5及び第2不純物拡散領域6の形成位置やピーク濃度、濃度分布はトランジスタの形状（例えば、ゲート電極9の幅、ゲート絶縁膜8の厚さ、素子分離絶縁膜2の幅や深さ等）や、トランジスタの性能（例えば、オフリーク電流や駆動電圧等）との関係で決定されるものであり、例えば、半導体装置の微細化に伴って第1不純物拡散領域5の形成位置が浅くなればそれに従って第2不純物拡散領域6の形成位置も浅くなる。従って、第2不純物拡散領域6は、少なくとも第1不純物拡散領域5の底部と重なって濃度勾配を緩和するように形成されていればよく、例えば、図1(b)の矢印の範囲内で任意に設定することができる。また、図ではソース／ドレインの双方に第2不純物拡散領域6を設けているが、ソース又はドレインの少なくとも一方に第2不純物拡散領域6を備えていればよい。

【0029】

また、図の構造は本実施例の半導体装置の例示であり、ソース／ドレイン領域の表面近傍にシリコンとチタン、ニッケル、コバルト等の金属とが反応して形成されたシリサイド膜や更にその上にタングステン膜等を備える構成としてもよい。また、図ではソース／ドレイン領域4の内側にLDD領域7を設けているが、ソース／ドレイン領域4の内側に位置し、ソース／ドレイン領域4よりも浅い接合を持つエクステンション拡散層や、エクステンション拡散層の下側に位置するポケット拡散層等を備える構成としてもよい。

【0030】

次に、上記構造の半導体装置の製造方法について、図2乃至図4の工程断面図を参照して説明する。図2乃至図4は一連の工程を記載するものであり、作図の都合上分図したものである。なお、MOSトランジスタとしては、ゲート絶縁膜を薄く形成した駆動電圧の低いトランジスタや、低消費電力を達成するためにトランジスタのオフ電流を抑制したトランジスタ、ゲート絶縁膜が厚い高耐圧のI/O用トランジスタ等の各種性能のトランジスタがあるが、ここではこれらを区別することなくP-MOSトランジスタとN-MOSトランジスタの2つを形成する場合について説明する。

【0031】

まず、図2(a)に示すように、P型シリコン基板等の半導体基板1にSTI(Shallow Trench Isolation)によりフィールド領域を形成するための素子分離絶縁膜2を形成し、続いて熱酸化法を用いて基板全面に犠牲層(図示せず)を形成する。次に、図2(b)に示すように、基板全面にレジストを塗布し、公知のリソグラフィ技術を用いてP-MOS領域上にレジストパターン11aを形成した後、N-MOS形成領域にB、BF₂等のP型不純物を注入してPウェル領域3aを形成する。次に、レジストパターン11aをアッシング処理や剥離液処理等により除去し、図2(c)に示すように、N-MOS領域上にレジストパターン11bを形成した後、P-MOS形成領域にP、As等のN型不純物を注入しNウェル領域3bを形成する。その後、不純物の拡散・活性化のためのアニールを行う。

【0032】

次に、レジストパターン11bをアッシング処理や剥離液処理等により除去し、犠牲層をウェットエッチングで除去した後、図2(d)に示すように、CVD法等を用いてシリコン酸化膜を形成し、プラズマ窒化、アニール、注入等によりシリコン酸化膜中に窒素を導入し、所望の厚さのゲート絶縁膜8を形成する。このゲート絶縁膜8の厚さはトランジスタの種類に応じて適宜調整することができるが、例えば、低駆動電圧のトランジスタではゲート絶縁膜8の膜厚を13~20Å(1.3~2.0nm)程度、オフリーク電流を抑えたトランジスタでは15~30Å(1.5~3.0nm)程度、I/O用のトランジスタでは13~70Å(1.3~7.0nm)程度とする。その際、ゲート絶縁膜8の薄いトランジスタと厚いトランジスタとが混在する場合は、例えば、厚いゲート絶縁膜8を部分的に除去し、薄いゲート絶縁膜を形成すればよい。

【0033】

次に、図3(a)に示すように、ゲート電極となる多結晶シリコン、非晶質シリコン等を堆積又は成長した後、公知のリソグラフィ技術を用いてレジストパターン(図示せず)を形成し、ドライエッチング技術を用いて上記シリコン材料及びゲート絶縁膜8をエッチングしてゲート電極9を形成する。なお、多結晶シリコン、非晶質シリコン等を堆積又は成長した後、P-MOS領域にP型不純物を注入する等、ゲート電極9中にイオン注入を行ってもよい。

【0034】

次に、図3(b)に示すように、公知のフォトリソグラフィ技術を用いてP-MOS領域上にレジストパターン11cを形成し、N-MOS領域のゲート電極9をマスクとしてP又はAs等のN型不純物を注入した後、レジストパターン11cを除去し、窒素雰囲気又は窒素+酸素雰囲気中で800~1000℃、0~10秒程度のアニールを行い、N-MOS領域の不純物を活性化し、N-MOS領域にLDD領域7を形成する。なお、LDD領域7に代えて又はLDD領域7に加えて、ポケット拡散層やエクステンション拡散層を形成してもよい。ここでアニール時間を0秒からとしているのは、通常、アニール時間は目標到達温度に達してから保持時間を示すが、図9に示すように、目標到達温度に達したら直ちに降温する方法(このようなアニールをスパイクアニールと呼ぶ。)が用いられる場合があるからである。

【0035】

次に、図3(c)に示すように、公知のフォトリソグラフィ技術を用いてN-MOS領域上にレジストパターン11dを形成し、P-MOS領域のゲート電極9をマスクとして

B、 BF_2 等のP型不純物を注入してLDD領域7を形成する。ここでも、N-MOS領域と同様にLDD領域7に加えて又はLDD領域7に代えて、ポケット拡散層入やエクステンション拡散層を形成してもよい。また、P-MOSトランジスタの信頼性改善のためにフッ素注入を行ってもよい。

【0036】

次に、図3(d)に示すように、半導体基板1全面にシリコン酸化膜・窒化膜等を堆積した後、エッチバックすることによりゲート電極9の側面にサイドウォール10を形成する。ここまでの工程は一般的なMOSトランジスタの製造方法と同様であり、P-MOS領域及びN-MOS領域におけるウェル領域やLDD領域の形成順序、N型不純物及びP型不純物の注入条件、各構成材料の種類、製造方法等は適宜変更することができる。

【0037】

次に、図4(a)に示すように、公知のフォトリソグラフィ技術を用いてP-MOS領域上にレジストパターン11eを形成し、N-MOS領域のゲート電極9及びサイドウォール10をマスクとしてP、As等のN型不純物を注入し、N-MOS領域に高濃度にN型不純物が注入されたソース/ドレイン領域4を形成する。

【0038】

次に、レジストパターン11eを除去した後、図4(b)に示すように、公知のフォトリソグラフィ技術を用いてN-MOS領域上にレジストパターン11fを形成し、P-MOS領域のゲート電極9及びサイドウォール10をマスクとしてB又は BF_2 を注入し、P-MOS領域に高濃度にP型不純物が注入された第1不純物拡散領域5を形成する。その際の注入条件としては、例えば、Bを用いる場合は注入エネルギーを1~3KeV程度、注入量を $5 \times 10^{14} \sim 1 \times 10^{16} \text{ cm}^{-2}$ 程度とする。

【0039】

引き続き、図4(c)に示すように、P-MOS領域のゲート電極9及びサイドウォール10をマスクとしてInを注入し、第1不純物拡散領域5の底部に第2不純物拡散領域6を形成し、第1不純物拡散領域5と第2不純物拡散領域6とで図1(b)に示す不純物濃度分布を有するソース/ドレイン領域4を形成する。このInの注入は第2不純物拡散領域6が第1不純物拡散領域5底部に形成され、また、第1不純物拡散領域5の不純物濃度分布の勾配をなだらかにし、更に、後述するように、Inにより欠陥に起因するリークを抑制し、ゲート中に注入されたInの突き抜けによるゲート絶縁膜8の信頼性を劣化させないように設定する必要がある。そこで本実施例では、Inの注入条件として注入エネルギーを50~200KeV程度、注入量を $1 \times 10^{12} \sim 5 \times 10^{13} \text{ cm}^{-2}$ 程度に設定している。

【0040】

次に、N-MOS領域及びP-MOS領域の不純物を活性化させるために、窒素雰囲気又は窒素+酸素雰囲気中で、800~1100℃、0(スパイクアニール)~10秒程度のアニールを行う。その際、第2不純物拡散領域6もB又は BF_2 を用いて形成した場合には、図8に示すように、アニールにより第2不純物拡散領域6が素子分離絶縁膜2底部まで広がってしまい、隣接するトランジスタの拡散層に近接してリークが生じてしまったり、ソースとドレイン間の間隔が狭まってリークが生じるという不具合が発生していたが、第2不純物拡散領域6をInを用いて形成した場合には、図7に示すように、第2不純物拡散領域6の広がりが抑制され、上述したリークを確実に防止することができる。

【0041】

その後、ソース/ドレイン領域4の上層に図示しないコンタクトプラグを形成し、上層の配線と接続して本実施例の半導体装置の一部が形成される。

【0042】

なお、上記フローではN-MOS領域にP、As等を注入した後、P-MOS領域にB又は BF_2 とInとを注入したが、N-MOS領域の不純物注入とP-MOS領域の不純物注入の順番は逆であってもよい。また、P-MOS領域における第1不純物拡散領域5形成のための不純物注入及び第2不純物拡散領域6形成のための不純物注入もどちらを先

に行ってもよい。いずれの場合でも N 型不純物注入と P 型不純物注入とを行ってから一括して不純物の活性化アニールを行う。

【0043】

次に、本発明の特徴である I n 注入の条件について検討する。前述したように、I n の注入は第 2 不純物拡散領域 6 が第 1 不純物拡散領域 5 底部に形成され、また、第 1 不純物拡散領域 5 底部の不純物濃度分布をなだらかにするような条件で注入する必要があるが、I n の注入位置及び濃度を考慮するだけでは不十分である。例えば、I n の注入により欠陥が生じて欠陥に起因するリークが増加することが考えられるため、リークが増加しないような注入条件とする必要があり、また、I n がゲート電極 9 を通過してゲート絶縁膜 8 を突き抜け、ゲート絶縁膜 8 の信頼性を劣化させる恐れがあるため、ゲート電極 9 を突き抜けられないような注入条件とする必要もある。そこで、I n 注入における注入エネルギー及び注入量をパラメータとして接合リークを測定し、その結果をふまえて注入条件を決定した。以下、その実験の内容及び結果について説明する。

【0044】

まず、注入エネルギーの好ましい範囲を決定するために、I n の注入量を $3 \times 10^{12} \text{ cm}^{-2}$ に固定して注入エネルギーを変化させた場合の接合リークを測定した。また、比較のために I n 注入を行わない試料（すなわち B 又は BF_2 を用いて第 1 不純物拡散領域 5 のみを形成した試料）も作成し、同様の測定を行った。その結果を図 5 に示す。図 5 の横軸は接合リークの値（A）を示し、縦軸は接合リークが所定の値以下のトランジスタの割合（累積値）を示している。

【0045】

図 5 から分かるように、I n 注入を行わなかった試料（○印）に比べて、I n の注入エネルギーが 80 KeV の試料（□印）、130 KeV の試料（◇印）、180 KeV の試料（×印）はいずれも接合リークは小さくなっており、I n 注入によって接合リークが低減されていることが分かる。また、図示しないが、注入エネルギーが 50 KeV 以下となると接合リークの低減効果が得られなくなることを確認している。更に、注入エネルギーが大きくなるに従って接合リークの低減効果が大きくなるが、I n の注入エネルギーが高くなりすぎると I n の注入による欠陥が増加し、欠陥に起因するリークが増加する場合がある。例えば、本実験では 180 KeV の試料で 10^{-6} A 程度の接合リーク（図の破線で囲んだ部分）が生じている。このことから、I n の注入エネルギーとしては接合リークの低減効果が得られ、かつ、I n 注入により生じる欠陥に起因するリークを抑制できる範囲に設定することが重要である。

【0046】

また、注入エネルギーの決定にあたってはゲート絶縁膜 8 に対する影響も考慮しなければならない。ここで、ゲート電極 9 の高さは半導体装置の微細化に伴って低くなる傾向にあり、今後は 1500 Å（150 nm）以下になると考えられるが、I n はゲート電極 9 に対しても行われるため、I n の注入エネルギーが高いと I n イオンがゲート電極 9 を通過しゲート絶縁膜 8 を突き抜けてしまい、ゲート絶縁膜 8 に欠陥が生じ、その結果ゲート絶縁膜 8 の信頼性が劣化することが予想される。I n の注入エネルギーと I n の突き抜けが起こるゲート電極 9 の厚さの関係は、注入エネルギーが 80 KeV の場合は $300 \sim 400 \pm 300 \text{ Å}$ （ $30 \sim 40 \pm 30 \text{ nm}$ ）程度、200 keV の場合は $700 \sim 800 \pm 400 \text{ Å}$ （ $70 \sim 80 \pm 40 \text{ nm}$ ）程度と見積もることができるため、I n イオンが 150 nm 厚のゲート電極 9 を突き抜けないようにするには、ゲート電極 9 の膜厚の誤差やチャネリング効果を考慮すると注入エネルギーは 200 KeV 程度以下にすることが好ましい。以上より、接合リークの低減と I n 注入による欠陥に起因するリークの低減とゲート絶縁膜 8 の信頼性劣化の抑制を総合的に勘案すると、I n の注入エネルギーとしては 50 ～ 200 KeV 程度、好ましくは 80 ～ 180 KeV 程度に設定することが望ましい。

【0047】

次に、I n の注入量の好ましい範囲を決定するために、I n の注入エネルギーを 130 及び 120 KeV に固定して注入量を変化させた場合の接合リークを測定した。また、比

較のために In 注入を行わない試料（すなわち B 又は BF_2 を用いて第 1 不純物拡散領域 5 のみを形成した試料）も作成し、同様の測定を行った。その結果を図 6 に示す。図 6 の横軸は接合リーク値（A）を示し、縦軸は接合リークが所定の値以下のトランジスタの割合（累積値）を示している。

【0048】

図 6（a）から分かるように、In の注入エネルギーを 130 KeV に固定した場合、In 注入を行わなかった試料（●印）に比べて、In の注入量が $5\text{ E }12\text{ cm}^{-2}$ の試料（○印）、 $8\text{ E }12\text{ cm}^{-2}$ の試料（□印）、 $1\text{ E }13\text{ cm}^{-2}$ の試料（△印）はいずれも接合リークは小さくなっており、上記と同様に In 注入によって接合リークが低減されていることが分かる。また、図示しないが、注入量が $1\text{ E }12\text{ cm}^{-2}$ 以下となると接合リークの低減効果が得られなくなることを確認している。更に、注入量が大きくなるに従って接合リークの低減効果が大きくなるが、In の注入量が多くなりすぎると In の注入による欠陥が増加し、欠陥に起因するリークが増加する場合がある。例えば、本実験では $1\text{ E }13\text{ cm}^{-2}$ の試料では $10-4\text{ A}$ 程度の接合リーク（図の破線で囲んだ部分）が生じている。また、In の注入エネルギーを抑制することで、注入量を増加させることが可能である。例えば、図 6（b）に示すように、In の注入エネルギーを 120 KeV にした場合、注入量が $1.5\text{ E }13\text{ cm}^{-2}$ の試料（□印）でも欠陥に起因するリークは生じない。以上のことから、In の注入量としては接合リークの低減効果が得られ、かつ、欠陥に起因するリークを抑制できる範囲に設定することが重要であり、 $1\text{ E }12\sim 5\text{ E }13\text{ cm}^{-2}$ 程度、好ましくは $5\text{ E }12\sim 1.5\text{ E }13\text{ cm}^{-2}$ 程度に設定することが望ましい。

【0049】

このように、P-MOS トランジスタのソース／ドレイン領域 4 を、B 又は BF_2 を注入して形成した第 1 不純物拡散領域 5 と、所定の注入エネルギー、所定の注入量の In を注入して形成した第 2 不純物拡散領域 6 とを用いて形成することにより、B の拡散による短チャネル効果を抑制することができると共に、シリサイド膜に起因する接合リークを抑制することができる。また、In を用いて第 2 不純物拡散層 6 を形成することにより、不純物活性化の熱処理を行っても In が拡散により広がりすぎることがなく、分離特性を良好に保つことができ、不純物注入による欠陥を回復することができるため、欠陥に起因する接合リークも低減することができる。また、B 又は BF_2 を用いて第 2 不純物拡散層 6 を形成する場合に比べて、ゲート絶縁膜 8 に B が拡散することによるゲート絶縁膜 8 の信頼性劣化やトランジスタ特性の変動を抑制することができる。更に、In を適切な条件で注入することにより In 注入の欠陥によるリークを抑制し、In がゲート絶縁膜 8 を突き抜けることによるゲート絶縁膜 8 の信頼性劣化やトランジスタ特性の変動も抑制することができる。

【0050】

なお、本実施例では、第 1 不純物拡散領域 5 を形成するための不純物として B 又は BF_2 を用い、第 2 不純物拡散領域 6 を形成するための不純物として In を用いた例について記載したが、本発明は上記実施例に限定されるものではなく、第 2 不純物拡散領域 6 を形成するための不純物として、第 1 不純物拡散領域 5 を形成するための不純物よりも拡散係数が小さく、かつ、深い位置に精度よく注入することができる質量数の大きい他の不純物を用いることができる。

【図面の簡単な説明】

【0051】

【図 1（a）】本発明の一実施例に係る P-MOS トランジスタを含む半導体装置の構造を模式的に示す断面図である。

【図 1（b）】本発明の一実施例に係る P-MOS トランジスタを含む半導体装置の構造を模式的に示す断面図である。

【図 2（a）】本発明の一実施例に係る半導体装置の製造方法を示す工程断面図である。

【図 2 (b)】本発明の一実施例に係る半導体装置の製造方法を示す工程断面図である。

【図 2 (c)】本発明の一実施例に係る半導体装置の製造方法を示す工程断面図である。

【図 2 (d)】本発明の一実施例に係る半導体装置の製造方法を示す工程断面図である。

【図 3 (a)】本発明の一実施例に係る半導体装置の製造方法を示す工程断面図である。

【図 3 (b)】本発明の一実施例に係る半導体装置の製造方法を示す工程断面図である。

【図 3 (c)】本発明の一実施例に係る半導体装置の製造方法を示す工程断面図である。

【図 3 (d)】本発明の一実施例に係る半導体装置の製造方法を示す工程断面図である。

【図 4 (a)】本発明の一実施例に係る半導体装置の製造方法を示す工程断面図である。

【図 4 (b)】本発明の一実施例に係る半導体装置の製造方法を示す工程断面図である。

【図 4 (c)】本発明の一実施例に係る半導体装置の製造方法を示す工程断面図である。

【図 5】本発明の一実施例に係る I n 注入における接合リークの注入エネルギー依存性を示す図である。

【図 6 (a)】本発明の一実施例に係る I n 注入における接合リークの注入量依存性を示す図である。

【図 6 (b)】本発明の一実施例に係る I n 注入における接合リークの注入量依存性を示す図である。

【図 7】本発明の一実施例に係る半導体装置における不純物活性化アニール前後の不純物濃度分布を示す図である。

【図 8】従来の半導体装置における不純物活性化アニール前後の不純物濃度分布を示す図である。

【図 9】スパイクアニールを説明するための図である。

【図 10 (a)】従来の半導体装置の製造方法を示す工程断面図である。

【図 10 (b)】従来の半導体装置の製造方法を示す工程断面図である。

【図 10 (c)】従来の半導体装置の製造方法を示す工程断面図である。

【図 10 (d)】従来の半導体装置の製造方法を示す工程断面図である。

【図 11 (a)】従来の半導体装置の製造方法を示す工程断面図である。

【図 11 (b)】従来の半導体装置の製造方法を示す工程断面図である。

【図 11 (c)】従来の半導体装置の製造方法を示す工程断面図である。

【符号の説明】

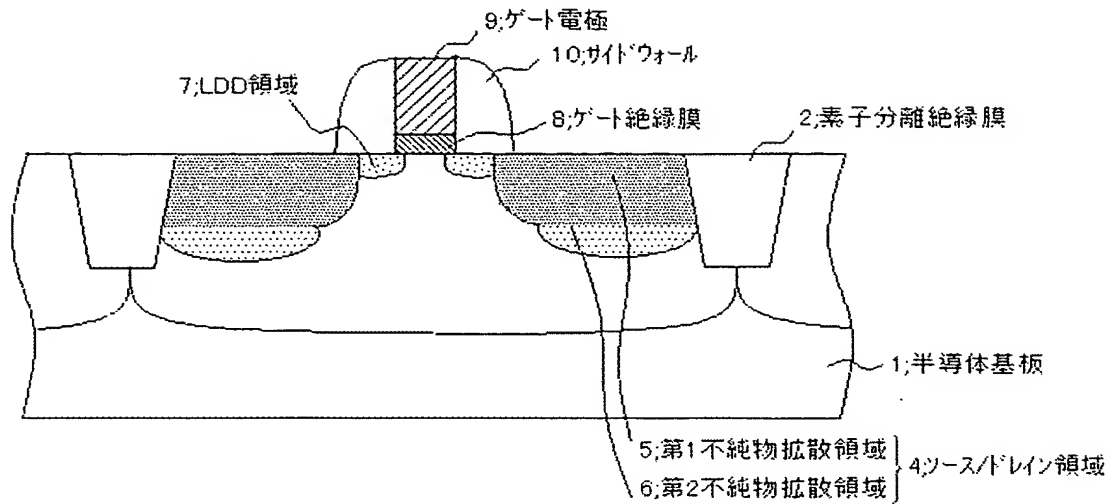
【0052】

- 1 半導体基板
- 2 素子分離絶縁膜
- 3 a p ウェル領域
- 3 b n ウェル領域
- 4 ソース／ドレイン領域
- 5 第1不純物拡散領域
- 6 第2不純物拡散領域
- 7 LDD領域
- 8 ゲート絶縁膜
- 9 ゲート電極

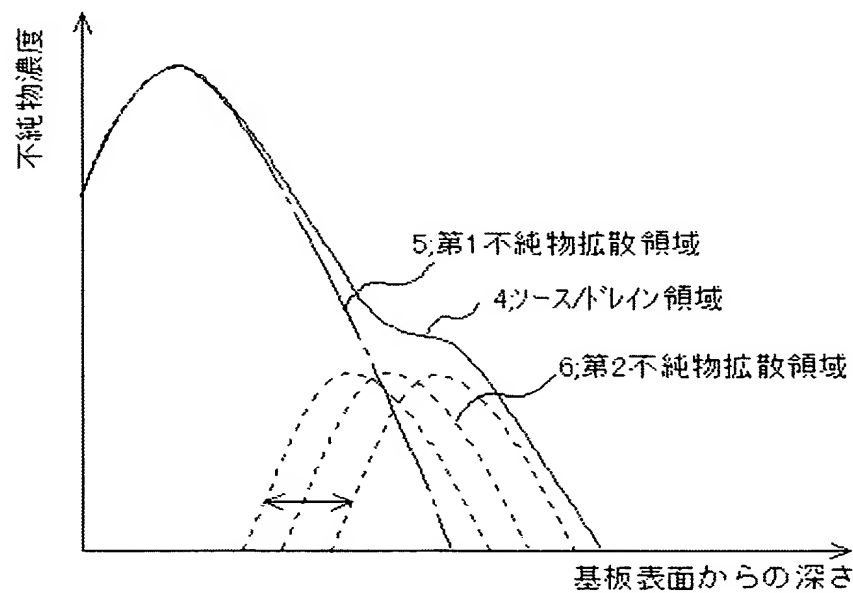
- 1 0 サイドウォール
- 1 1 a ~ 1 1 f レジストパターン
- 1 2 N型不純物層
- 1 3 低濃度N型不純物層

【書類名】図面

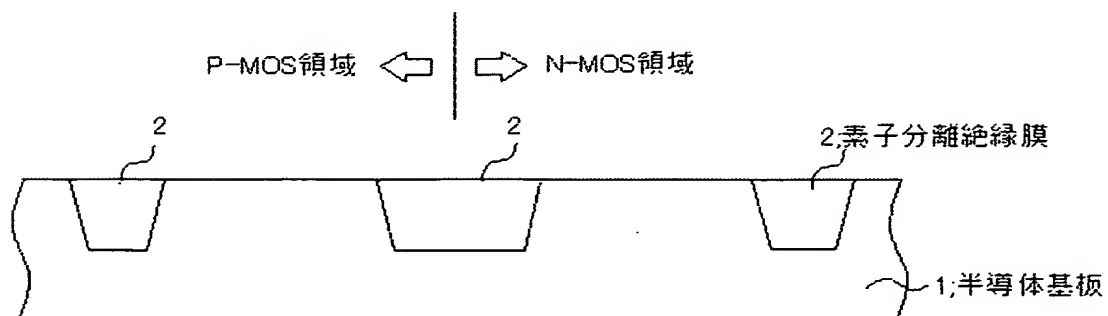
【図 1 (a)】



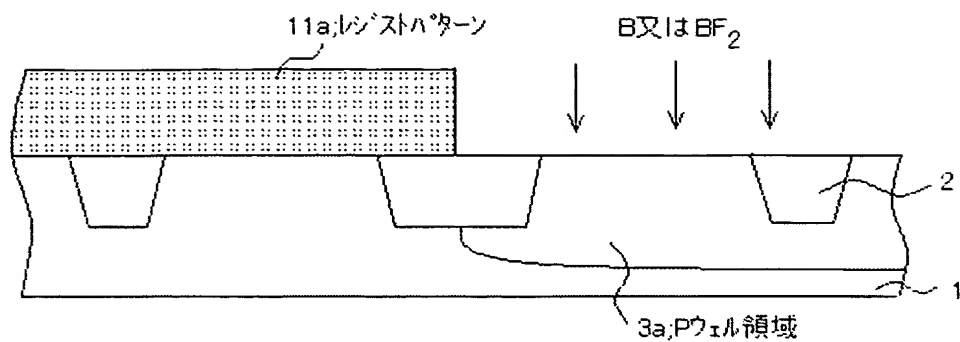
【図 1 (b)】



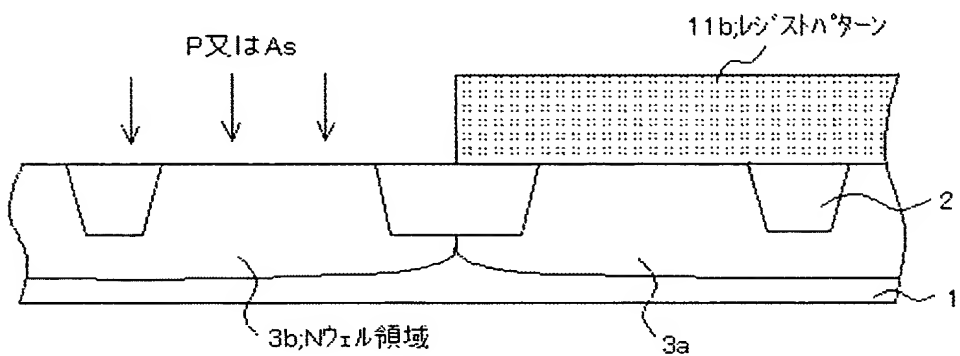
【図 2 (a)】



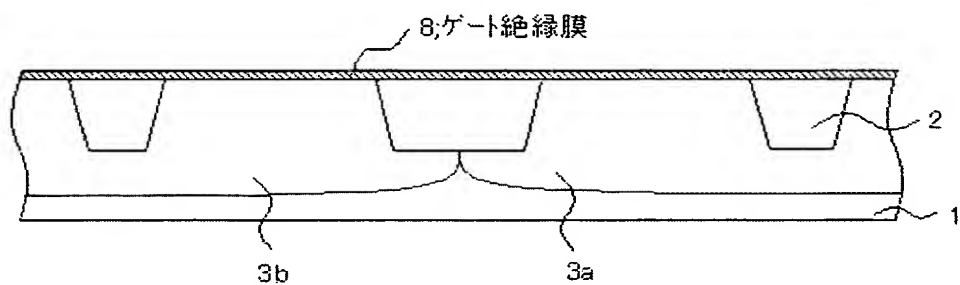
【図 2 (b)】



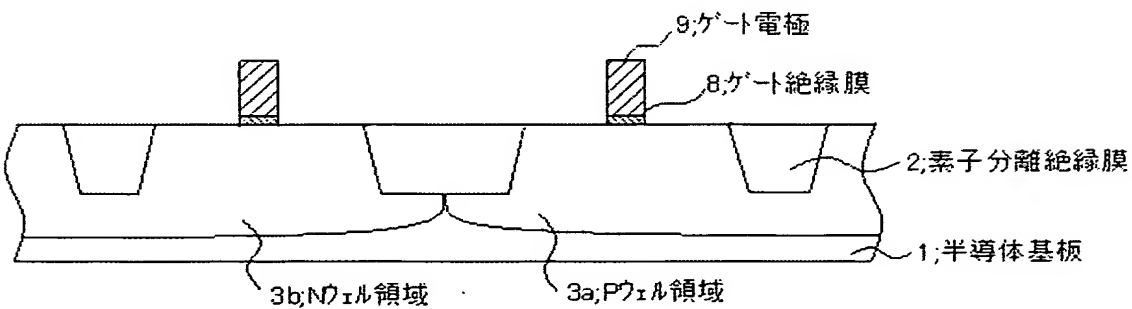
【図 2 (c)】



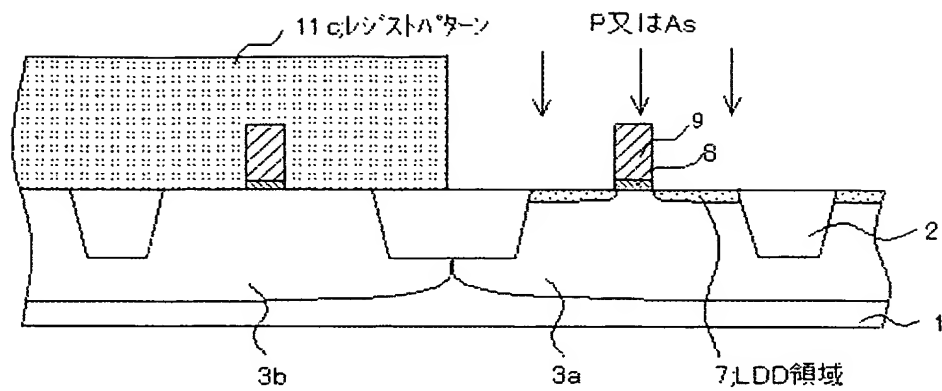
【図 2 (d)】



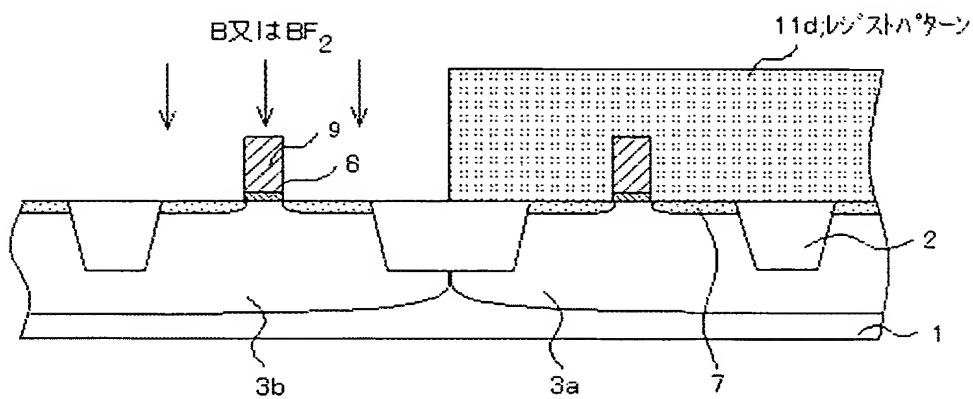
【図 3 (a)】



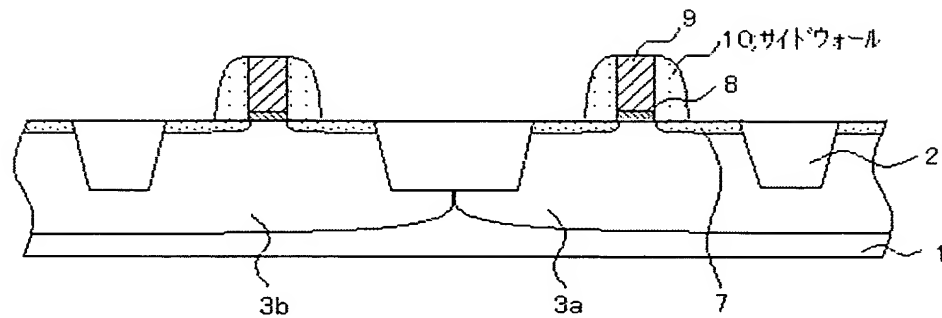
【図 3 (b)】



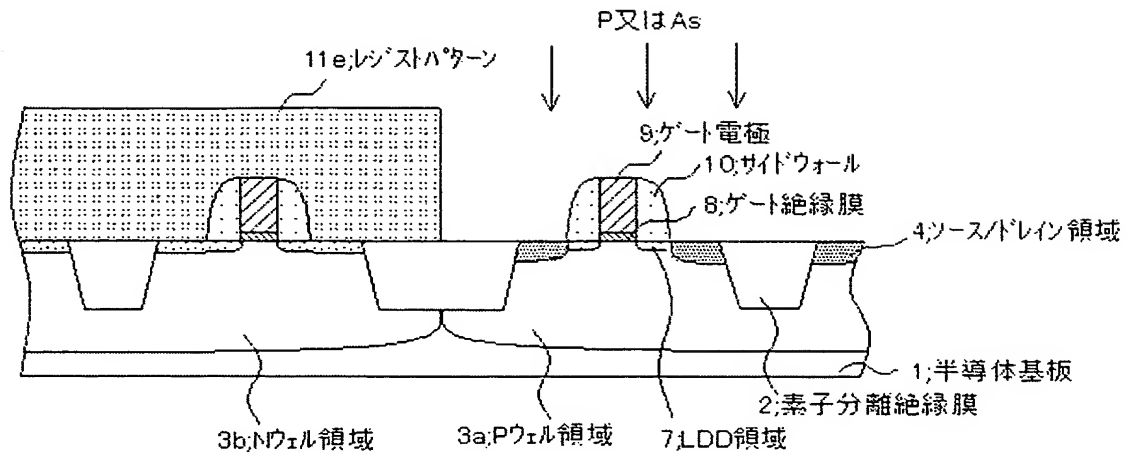
【図 3 (c)】



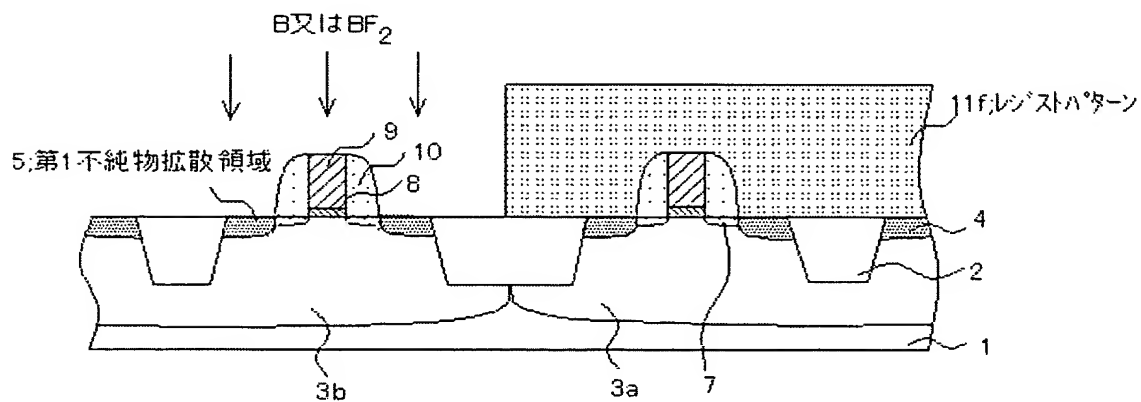
【図 3 (d)】



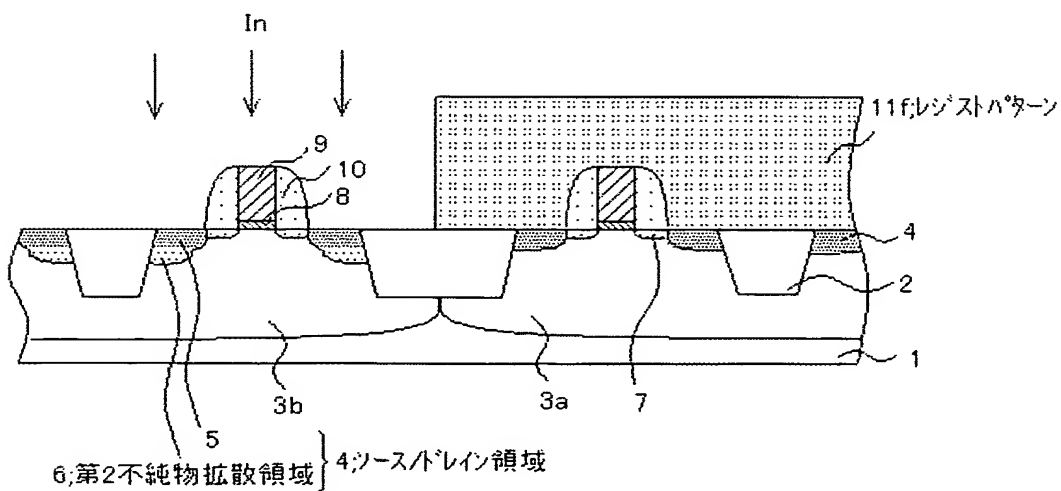
【図 4 (a)】



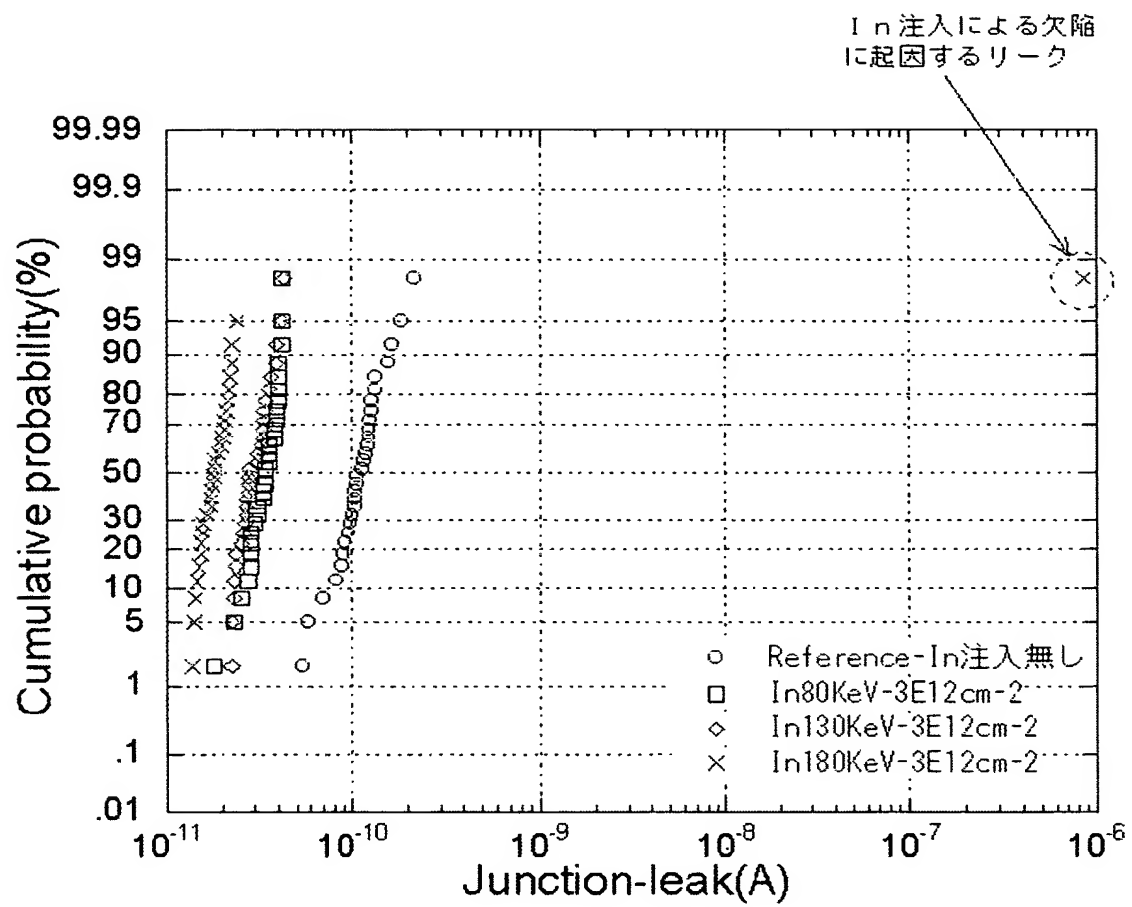
【図 4 (b)】



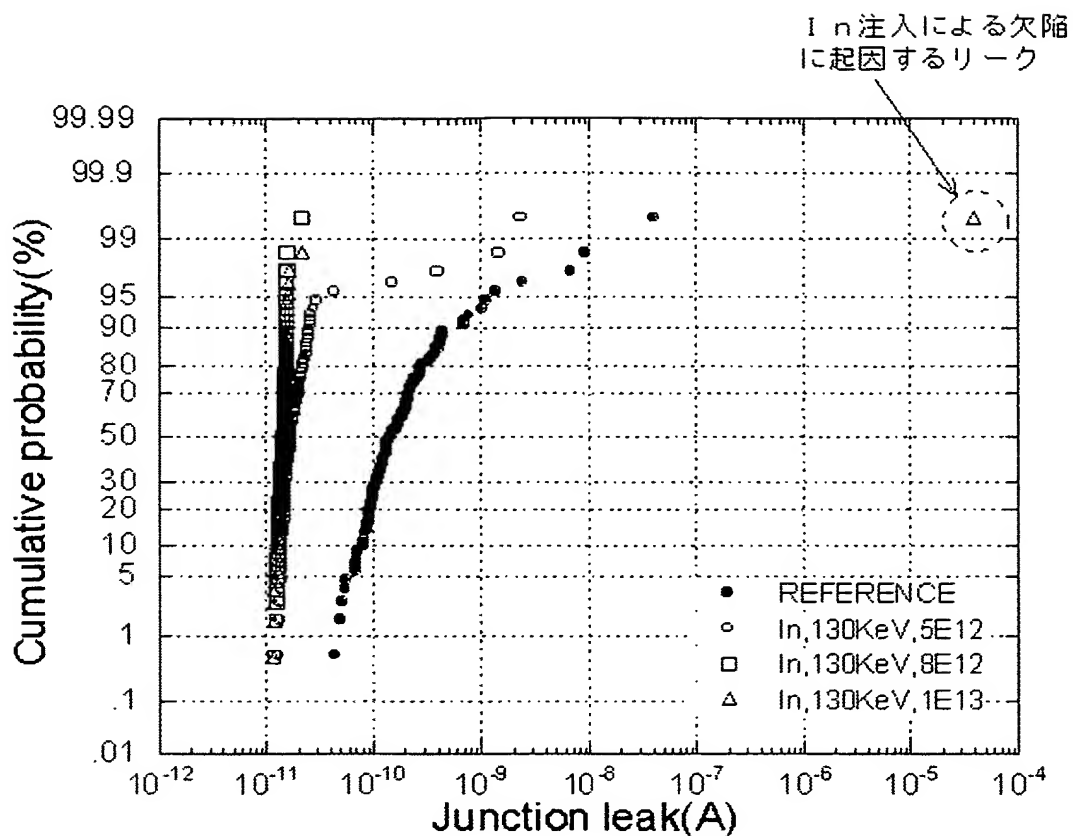
【図 4 (c)】



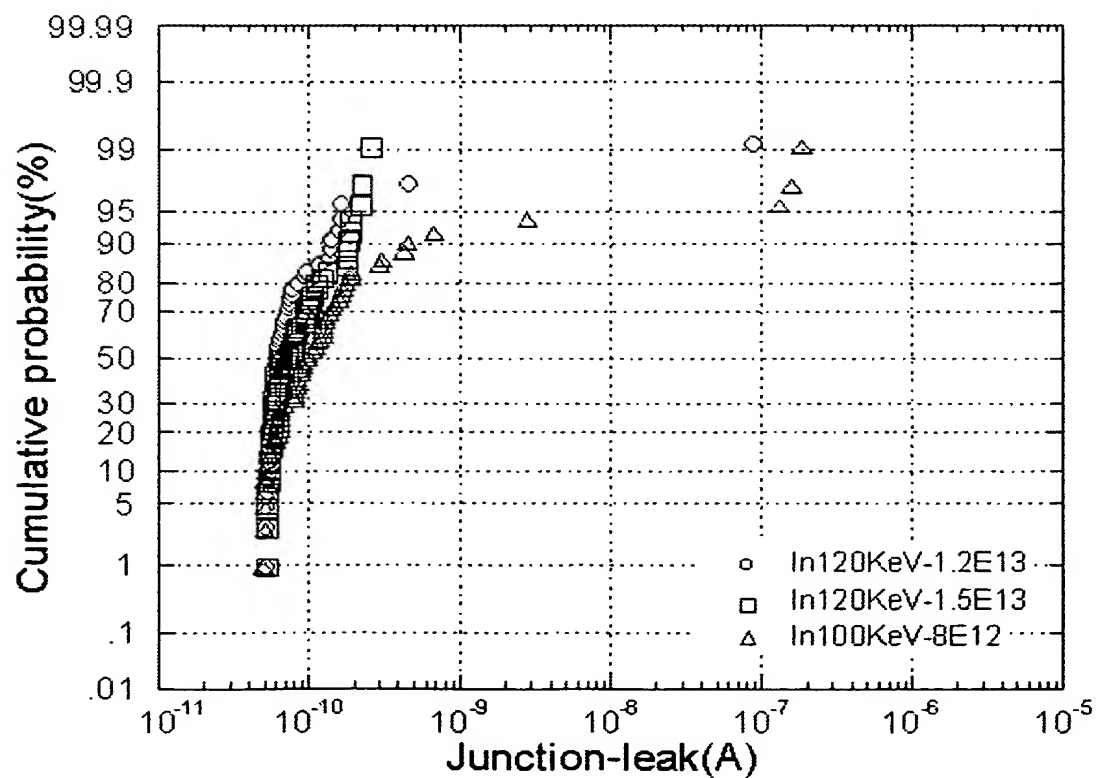
【図 5】



【図 6 (a)】

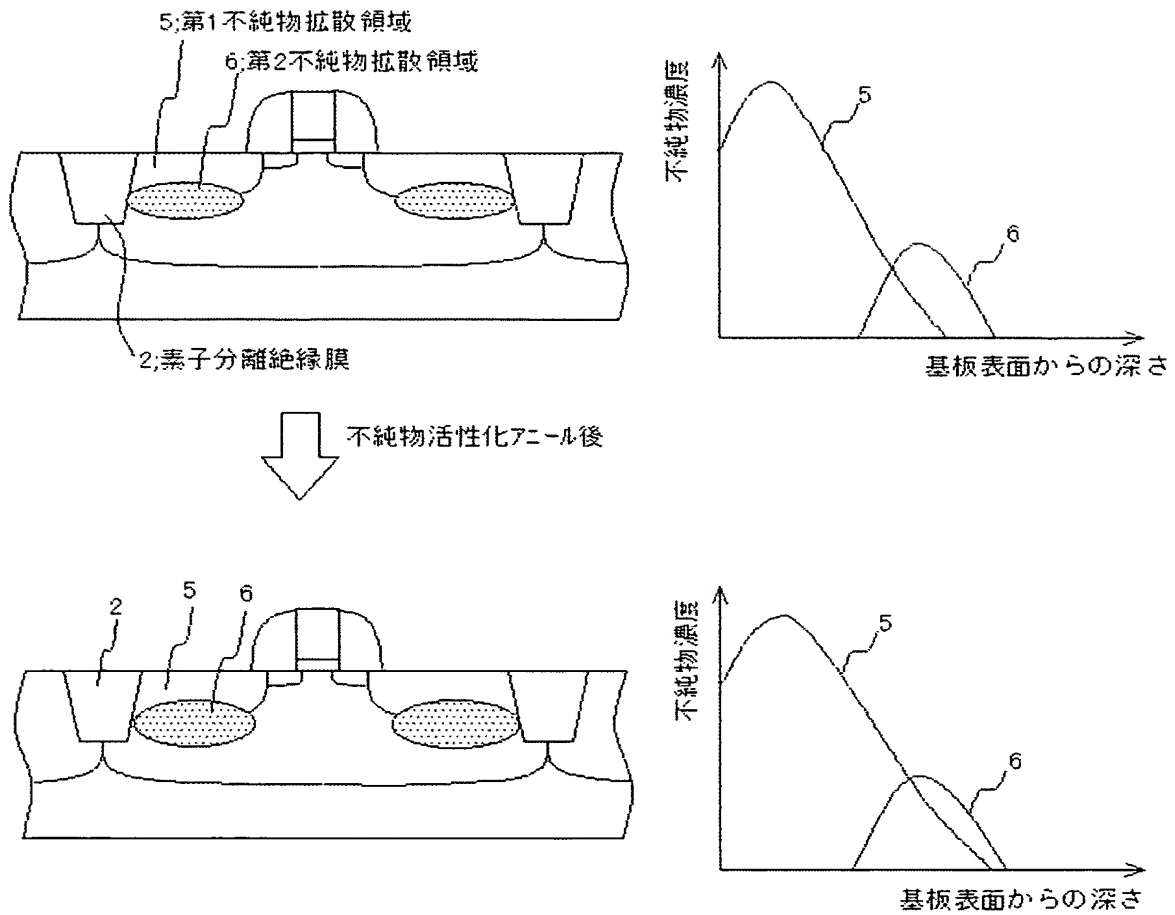


【図 6 (b)】



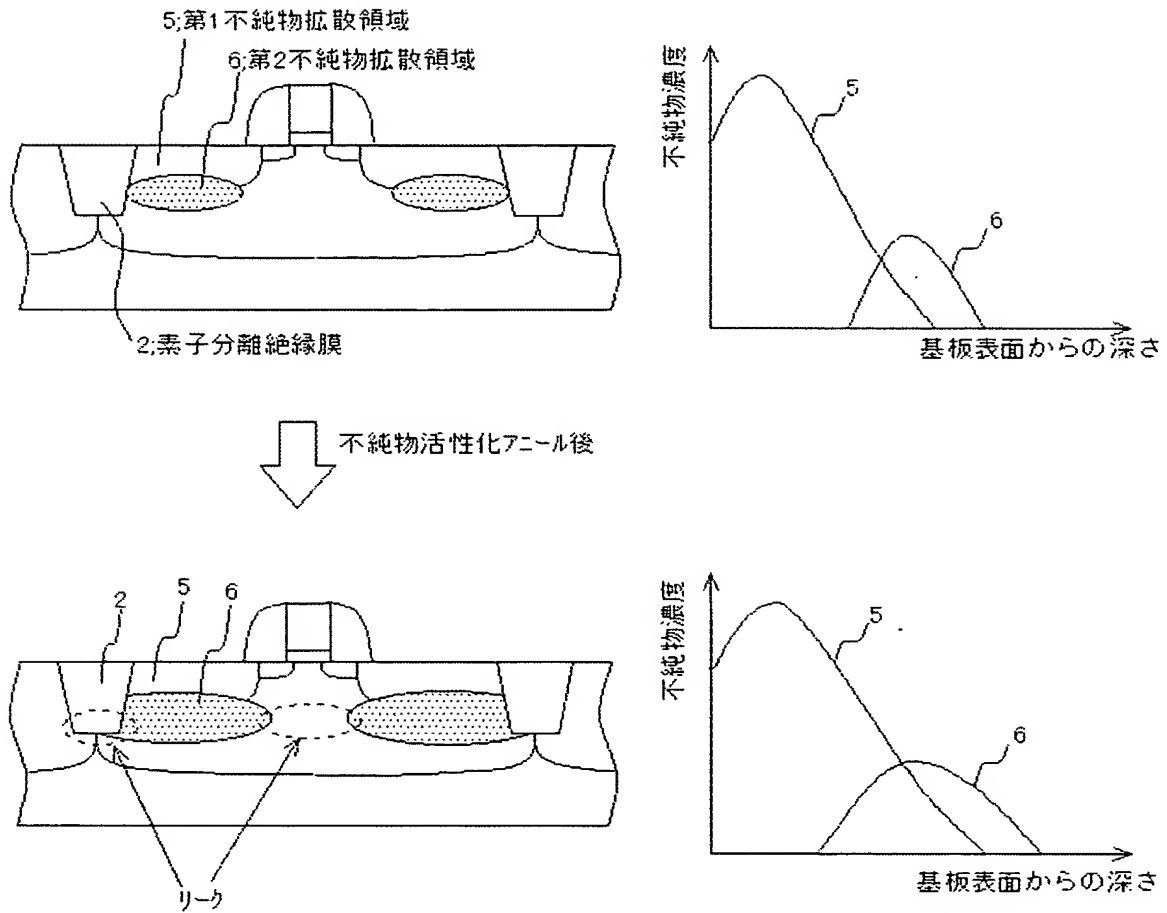
【図 7】

本発明の半導体装置

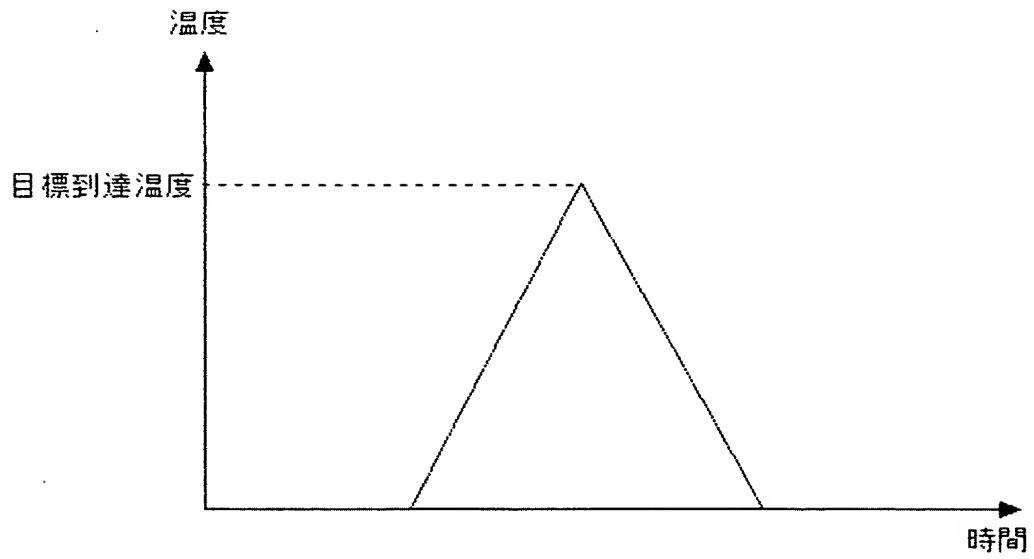


【図 8】

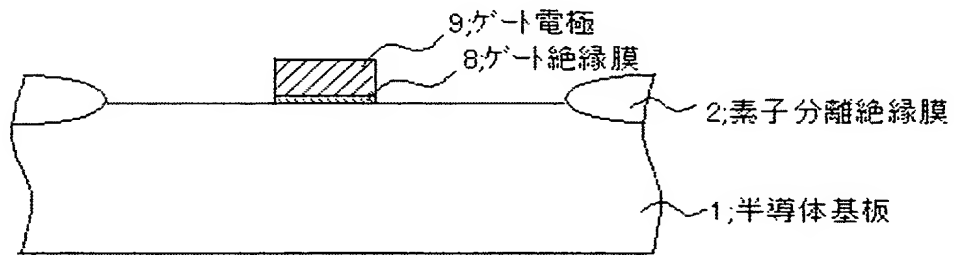
従来の半導体装置



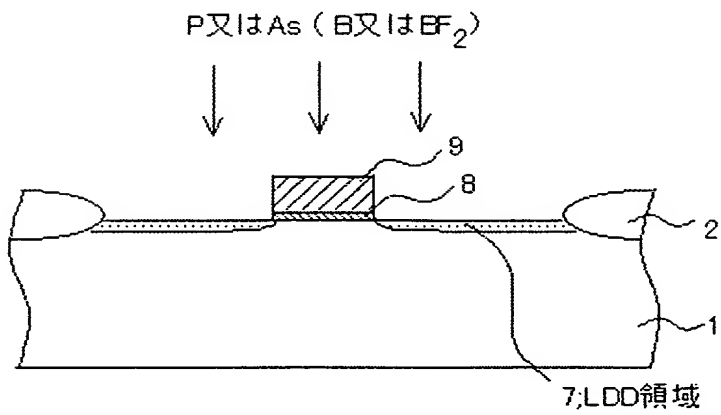
【図 9】



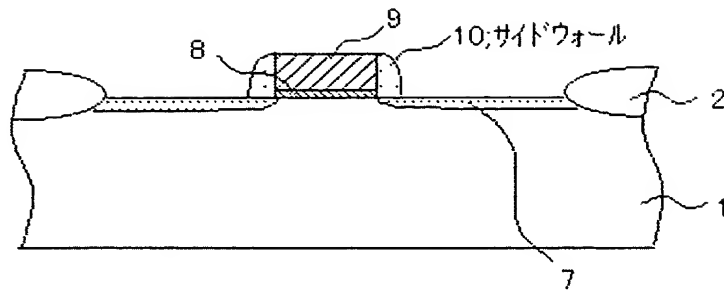
【図 10 (a)】



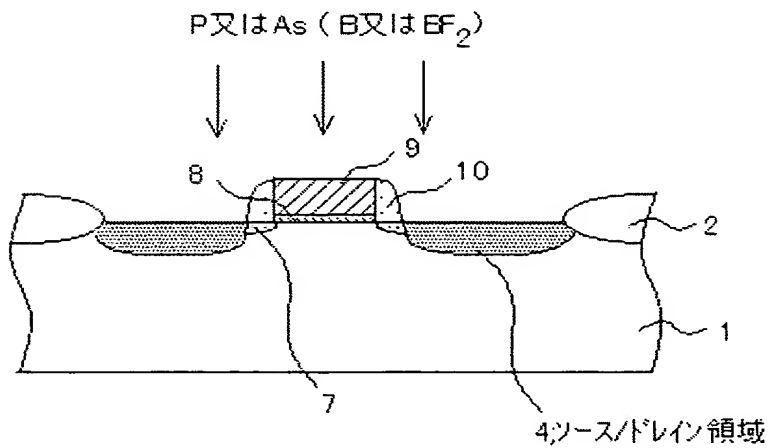
【図 10 (b)】



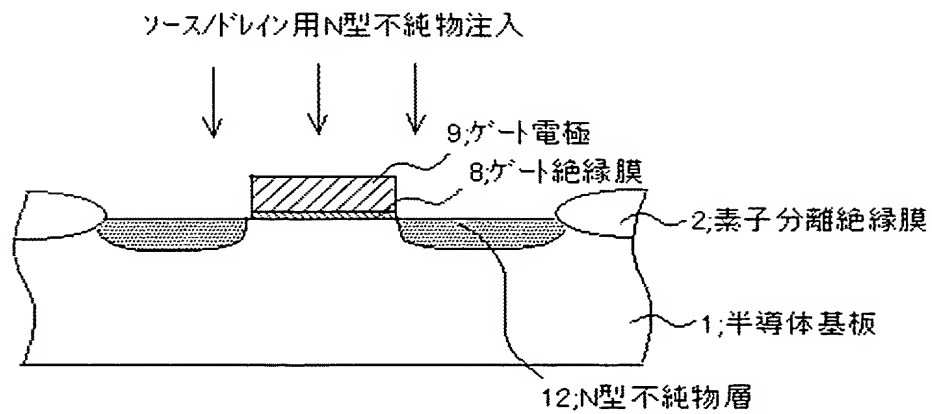
【図10(c)】



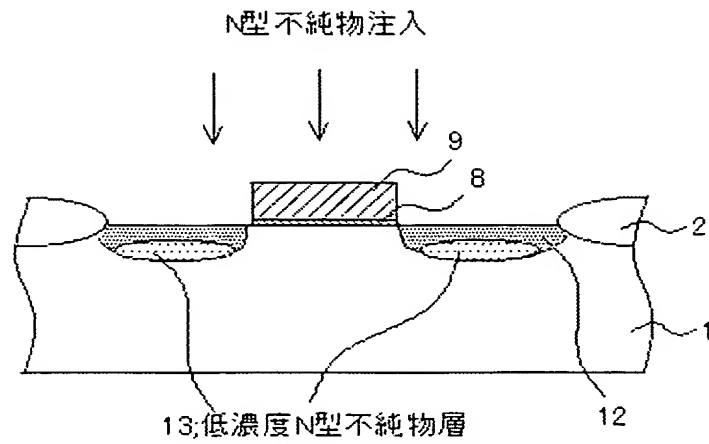
【図10(d)】



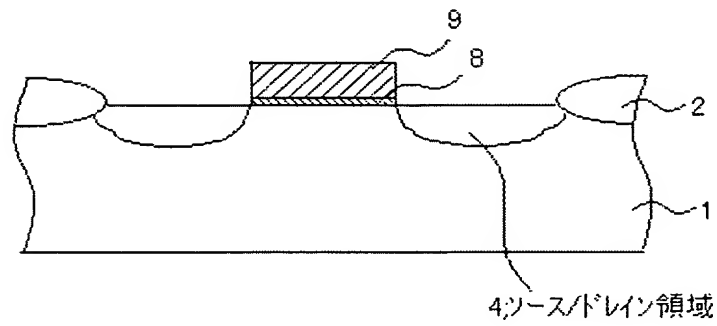
【図11(a)】



【図 11 (b)】



【図 11 (c)】



【書類名】要約書

【要約】

【課題】

ソース／ドレイン領域を浅く形成する構造において、短チャネル効果、シリサイド膜や欠陥に起因するリーク、トランジスタ特性の変動を抑制し、分離特性、ゲート絶縁膜の信頼性を高めたP-MOSトランジスタを含む半導体装置及びその製造方法の提供。

【解決手段】

基板表面の浅い位置の第1不純物拡散領域5はB又はBF₂を用いて形成し、第1不純物拡散領域5底部の第2不純物拡散領域6はInを用いて形成し、これらの2つの注入によって浅い位置は高濃度に、深い位置は徐々に濃度が低くなるような濃度分布のソース／ドレイン領域4を形成することにより、短チャネル効果の抑制しつつ、分離特性の向上、シリサイド膜や欠陥に起因するリークの低減を図り、また、Inの注入条件を適切に設定することにより、In注入による欠陥に起因するリークやゲート絶縁膜の劣化も抑制することができる。

【選択図】

図1

特願 2 0 0 3 - 2 7 2 7 9 6

出 願 人 履 歴 情 報

識別番号 [3 0 2 0 6 2 9 3 1]

1. 変更年月日 2 0 0 2 年 1 1 月 1 日

[変更理由] 新規登録

住 所 神奈川県川崎市中原区下沼部 1 7 5 3 番地

氏 名 N E C エレクトロニクス株式会社